

日本国特許庁

PATENT OFFICE  
JAPANESE GOVERNMENT

紙添付の書類に記載されている事項は下記の出願書類に記載されて  
事項と同一であることを証明する。

is to certify that the annexed is a true copy of the following application as filed  
is Office.

願年月日  
of Application:

1991年 9月26日

願番号  
ation Number:

平成 3年特許願第276597号

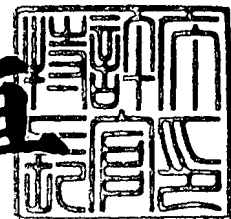
願人  
nt(s):

カシオ計算機株式会社

1992年 4月 3日

特許庁長官  
Commissioner,  
Patent Office

深沢 巨



【書類名】 特許願

【整理番号】 90-0899-00

【提出日】 平成 3年 9月26日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/36  
G09G 3/18

【発明の名称】 画像表示装置

【請求項の数】 4

【発明者】

【住所又は居所】 東京都東大和市桜が丘2丁目229番 カシオ計算機株式会社 東京事業所内

【氏名】 茂木 智宏

【特許出願人】

【識別番号】 000001443

【郵便番号】 163

【住所又は居所】 東京都新宿区西新宿2丁目6番1号

【氏名又は名称】 カシオ計算機株式会社

【代表者】 桜尾 和雄

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【書類名】 明細書

【発明の名称】 画像表示装置

【特許請求の範囲】

【請求項1】 同一画面を所定期間内に複数回表示する画像表示装置において、

前記複数回の表示期間中に夫々非表示期間を設けたことを特徴とする画像表示装置。

【請求項2】 同一画面を所定期間内に複数回表示する画像表示装置において、

前記複数回の表示期間中に夫々走査電極と信号電極を同電位に保つ期間を設けたことを特徴とする画像表示装置。

【請求項3】 前記非表示期間は、信号電極にゼロバイアス電圧を供給するゼロバイアス期間であることを特徴とする請求項1記載の画像表示装置。

【請求項4】 前記所定期間は、1フィールドであることを特徴とする請求項1又は請求項2記載の画像表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、液晶プロジェクタ、液晶テレビ等に用いられる比較的大画面の画像表示装置に関し、特に、STNなどの単純マトリクス液晶を用いた画像表示装置に関する。

【0002】

【従来の技術】

液晶テレビ画面の表示では、高解像度、高階調性、高速応答、高コントラストなどの高性能で高品質の表示機能が要求される。表示方式としてはTN (Twisted Nematic) 形、STN (Supertwisted Nematic) 形などが用いられ、駆動方式にはTFT (Thin Film Transistor) を用いたアクティブマトリクス駆動と単純マトリクス駆動が採用されている。液晶表示装置には上記単純マトリクス方式とTFT方式があり、画質も応答速度もTFTの方が優れているといわれている。

すなわち、単純マトリクスは、

- i) 累積応答性の影響で応答時間が遅い、
  - ii) 高デューティのためマージンが小さくなりコントラストが低い、
- という欠点がある。

特に、液晶の応答性は遅く、STNを採用するとコントラストは向上するものの更に応答性が悪くなる。

ところで、液晶テレビのテレビジョン信号には垂直帰線期間があり、その間は表示データがない。そのため、以前はその期間中は非表示データ、例えばデータ“0”を信号電極に供給していた。しかし、液晶はデューティの増大に伴いマージンが低下するから、表示データのない垂直帰線期間（垂直同期を含む帰線期間）中は走査電極と信号を同一電位に保つ（すなわち、ゼロバイアスにする）ことによって実質的なデューティ比を下げマージンの低下を防ぐことが行われている。

#### 【0003】

##### 【発明が解決しようとする課題】

しかしながら、上述した技術には、次のような問題のあることが本発明者らによって明らかとされた。すなわち、液晶パネルを1回走査した後の垂直線帰線期間分を全てゼロバイアス期間としているため、マージンは高められコントラストは向上するものの表示に悪影響を与えることが確かめられた。特に、本実施例において詳述するようにコントラストを向上させるためにフレーム周波数を高くして液晶を駆動した場合には1回の走査時間が短いのでそれに対してゼロバイアスの期間がかなり長くなり、かつそのゼロバイアス期間が1ヶ所にまとまっているため表示にかなりの悪影響を及ぼすことが確認された。

そこで本発明は、フレーム周波数を上げた液晶駆動においてマージンを高めながら表示状態の良い画像を表示可能な画像表示装置を提供することを目的とする。

#### 【0004】

##### 【課題を解決するための手段】

請求項1記載の発明は、上記目的達成のため、

同一画面を所定期間内に複数回表示する画像表示装置において、

前記複数回の表示期間中に夫々非表示期間を設けている。

請求項2記載の発明は、

同一画面を所定期間内に複数回表示する画像表示装置において、

前記複数回の表示期間中に夫々走査電極と信号電極を同電位に保つ期間を設けている。

前記非表示期間は、例えば請求項3に記載されているように、信号電極にゼロバイアス電圧を供給するゼロバイアス期間であってもよく、また、前記所定期間は、例えば請求項4に記載されているように、1フィールドであってもよい。

【0005】

#### 【作用】

本発明の手段の作用は次の通りである。

請求項1の発明では、

同一画面を所定期間内に複数表示する際に、複数回の表示期間中にいずれも非表示期間が設けられる。

また、請求項2の発明では、複数回の表示期間中にいずれも走査電極と信号電極を同意値電位に保つ期間が設けられる。

従って、垂直帰線期間を複数回の表示期間に分散することによってマージンを高めながら非表示期間の1ヶ所の集中を回避して表示の悪影響を防止することができる。

【0006】

#### 【実施例】

以下、図1～図18を参照して実施例を説明する。

図1～図18は画像表示装置の一実施例を示す図であり、本実施例は画像表示装置を1つの光源からの光をR（赤）成分、G（緑）成分、B（青）成分の3つの光に分解して、それぞれ対応する3つの液晶表示モジュールに照射させ、各液晶表示モジュールにR、G、Bの3色に分解されて表示された画像を反射および透過により合成して1つの投影レンズでスクリーンに拡大投影する液晶プロジェクタに適用した例である。

## 【0007】

図1は液晶プロジェクタ1の全体構成図である。図1において、液晶プロジェクタ1は、R、G、Bの3色に分解されて入力された映像信号をR、G、B用3枚の液晶パネルに表示させる画像表示装置2と、R、G、B用液晶パネルに表示された画像を光源からの光を基に反射及び透過により合成して1つ投影レンズでスクリーン3に拡大投影する光学系4を備えている。

## 【0008】

上記画像表示装置2は、各種タイミング信号を発生しこれらタイミング信号を各回路に供給するタイミング制御回路11と、映像信号源からの映像信号をサンプリングクロック $\Phi_s$ を基に所定ビット（例えば、5ビット）のデジタル信号に変換するA/D変換器12と、タイミング制御回路11からのコントロール信号によりR、G、B表示信号毎に表示制御を行うR表示制御部13、G表示制御部14、B表示制御部15と、R表示制御部13、G表示制御部14、B表示制御部15の出力によりR、G、Bの液晶パネルを駆動するR液晶表示装置16、G液晶表示装置17、B液晶表示装置18を備えている。上記画像表示装置2についての詳細な説明は図9で後述する。

## 【0009】

図2はA/D変換器12のブロック構成図である。この図において、符号101は基準電圧発生回路であり、基準電圧発生回路101は電源電圧 $R_{LL}$ 、 $R_{HH}$ を値の等しい31個の抵抗 $r_1$ により分圧して30種の基準電圧を得ている。基準電圧発生回路101から出力される基準電圧はコンパレータB1～B15の基準電圧端子 $R_{1L}$ ～ $R_{15L}$ 、 $R_{1H}$ ～ $R_{15H}$ に夫々供給されるとともに、各コンパレータB1～B15には、サンプリングクロック $\Phi_s$ 、フィールド毎に基準電圧を切替える切替信号 $\Phi_p$ （図18）、及び抵抗 $r_1$ により分圧された所定の電圧差を持つ第1及び第2の基準電圧が供給される。また、上記コンパレータB1～B15のデータ入力端子 $I_1$ ～ $I_{15}$ には、前段の映像増幅回路（不図示）から送られてくる映像信号が入力される。

## 【0010】

上記コンパレータB1～B15は、映像信号を切替信号 $\Phi_p$ によりフィールド

毎に上記第1あるいは第2の基準電圧を交互に選択し、映像信号を上記選択基準電圧と比較してサンプリングクロック $\Phi_s$ のタイミングでデジタル信号に変換し、次段のエンコーダ102に出力する。エンコーダ102は、コンパレータB1～B15の出力X1～X15をエンコードして5bitの画像データD1～D5として表示制御部13, 14, 15に出力する。

#### 【0011】

このようにコンパレータB1～B15においては、図18の $\Phi_p$ に示すようにフィールド毎に比較基準電圧が切換られ、入力される映像信号が同じレベルであっても場合により異なるデータに変換される。そして、上記コンパレータB1～B15から出力されるデータがエンコーダ102によりエンコードされ、5bitのデータD1～D5が作成されて表示制御部13, 14, 15に送られる。すなわち、このデータD1～D5は、同じ映像信号が与えられた場合でも例えば奇数フィールドと偶数フィールドで異なった値となり、5bitで得られる階調数より多い階調数で液晶表示パネルを表示駆動可能にすることができる。

#### 【0012】

図3は液晶表示部16, 17, 18のブロック構成図であり、R, G, Bの3系統同一回路で構成されるため、R液晶表示部16を代表して示す。図3に示すように、R液晶表示部16は、上下分割された液晶パネル20、上側の液晶パネル20Aを駆動する走査側駆動回路21、下側の液晶パネル20Bを駆動する走査側駆動回路22、R表示制御部13の出力により階調表示駆動する信号側駆動回路23, 24を備えている。

#### 【0013】

R液晶表示部16は、上限走査側駆動回路21, 22から液晶パネル20の上下走査線電極に走査信号を印加し、信号側駆動回路23, 24から液晶パネル20の信号線電極に映像信号を印加して、両信号線電極の交差する液晶画素の駆動を制御している。R表示制御部13から出力された階調信号データが1Hの間液晶に供給されるが、まず信号側駆動回路23, 24によってパルス幅(PWM)に変換される。16種類のパルス幅をもった信号のいずれか1つずつが、信号駆動回路23, 24内で作成され、これによって選択されている走査線電極中の各

画素の濃淡を決定する。

以上の動作は、走査線電極の選択が切り替えられるたびに繰り返される。

#### 【0014】

以下、本実施例の説明をするにあたり、説明の便宜上、先ず技術的特徴点を簡単に述べる。

#### ①フレーム周波数を速くする。

画像表示装置では1画面全部を走査する期間を1フレームといい、映像信号の1フィールドで1画面を表示するからそのサイクル（フレーム周波数）は1/60Sである。上記画像表示装置2は、液晶パネル20を1/60Sの間に4回走査することによって1画面を4回表示し、240Hzとしている。これを実現するために、本実施例では表示制御部13、14、15に4つのフレームメモリ（RAM-A、RAM-B、RAM-C、RAM-D）を設け、一旦メモリに入れたデータを所定のタイミングで4回読出すようにしている。なお、映像信号の2フィールドのこともフレームと言い、本明細書では「フレーム」という語を液晶パネルの1走査の意味と映像信号の2フィールドの意味の両方に使っているので注意されたい。

#### 【0015】

#### ②上下分割パネルを用いる。

前記図3に示すように、上下分割液晶パネル20を駆動する液晶駆動装置16の走査側駆動回路を走査側駆動回路21と走査側駆動回路22とに分割し、同時に上側液晶パネル20Aの走査線電極と下側液晶パネル20Bの走査線電極を選択する。すなわち、液晶のデューティが大きい程マージンが高くなる条件下において、走査線電極の数を増やすとマージンが足りなくなる状況が生じていたが、このような操作をすることによってデューティを半減させることができ、1走査の選択時間は2倍になる。ところが、上記のように同時に表示させるためには、例えばX1のデータとX241のデータとが同時に得られなくてはならないので少なくとも何れか一方のデータはメモリから読出す必要がある。本実施例では、このメモリを前記RAM-A、RAM-B、RAM-C、RAM-Dを使用することにより実現する。



## 【0016】

③ROMテーブルを用いて階調信号の変換を行う。

図4に示すように液晶パネル20上のある画素が、あるフレームで階調信号が「2」であった場合、次のフレームでこれが「10」になったとしても液晶の応答速度が小さいので「2」から「10」にはゆっくりと追従することになる。この10輝度としてとらえてみると図5の実線に示すように階調信号の「10」が4回続いても「2」の輝度が「10」の輝度になるのに応答遅れが生じる。

## 【0017】

そこで、本願は図4の破線に示すようにかかる場合には上記「10」を、「16」にデータ変換することによって図5の破線に示すように応答速度を大幅に高めるようにしている。また、同様に次のフレームで「3」になったときはこの「3」を「0」に変換することによって立下りの応答速度を向上させている。

## 【0018】

上記階調信号の変換を行うためにROMに前回のフレームと今回のフレームの値をテーブル化したROMテーブルを設け、ROMテーブルを参照して階調信号の変換を行いスピードアップを図るようにする。例えば、前回フレームが「0」、今回フレームが「0」のときはテーブルデータ「0」、前回フレームが「2」、今回フレームが「10」のときはテーブルデータ「15」とする。このように、映像信号の表示データ（階調信号）をそのまま液晶パネルに与えるのではなくROMテーブルを用いて変形して与えるようにするものである。

## 【0019】

また、今回フレームが「10」のときROMテーブルにより「15」が与えられた場合、その次のフレームが「10」のときは前回フレームが「10」、今回フレームが「10」ということであるからROMテーブルから例えば「10」が読出される。この場合、次のフレームで「10」が続く限り、ROMテーブルからは「10」が読出され、データは「10」に収束する。

## 【0020】

また、単に応答速度を上げるだけでよいものとする、前回の値よりも大きければ最大値を、小さければ最小値を与えるようにすれば追従性は良くなるが反動

(オーバシュート、アンダーシュート)が生じる。そこで実際には予めシミュレーション等により最適値を求め、これをROMテーブルに格納しておく。また、温度によっても最適値は異なるので、温度に応じた複数のROMテーブルを用意するようにしてもよい。

#### 【0021】

④階調信号を分解し4回に分けて階調を実現する。

これにより(以下に詳述する)駆動系の伝送ビット数を下げることができるようになるが、先ず伝送ビット数を下げるメリットについて述べる。例えば、A/D変換器12で得られる階調信号が5bitである場合には00000~11111までの32階調である。この場合、図1に示す表示制御部13, 14, 15内部のシフトレジスタ(後述)は5bitで動作させなければならず、メモリのアクセスも1画素について5bitで行わなければならない。しかし、液晶駆動装置16, 17, 18については配線の数削減のために3bitで動作させたいという要望がある。そこで以下に説明するように4回に分けて階調を実現することによって液晶駆動装置におけるビット数を例えば5bitから3bitに下げる。

#### 【0022】

すなわち、上記①で述べたように1画素を4回表示して240Hzとしている。これは同じデータを4回表示するということである。例えば、従来であれば図6(a)(b)に示すように1画面が1/60でデータが「5」であったものを、図6(c)に示すように1画面を4回に分けて4分割した夫々に「5」を表示するようにしている。すなわち、5bitで00000~11111の32階調で表わす代わりに、本願は1画面を4回に分けて各々を3bitで表わす(図6(d)参照)。そして、例えば元の5bitのデータが「0」のときは図6(e)に示すように3bitのデータを4回に分けた各々を「0」「0」「0」「0」で表せばよく、また、元の5bitデータが「31」のときは図6(f)に示すように3bitのデータを4回に分けた各々を「7」「7」「7」「7」と表示すればよい。このように液晶は印加した電圧の実効値に依存して動作するから4回に分けても平均すれば同様の結果を得ることができる。つまり、3bitでは0~7までの8階調しか得られないが、これを4回に分けることによって8階調を4つの組合せで表現すること

ができ、 $3\text{ bit} \times 4$ で28階調が実現できる。

### 【0023】

以上のことを図7に示す波形図を用いて具体的に説明する。図7において、同図中実線は60Hz時の階調信号波形を示し、破線は本願における240Hz時の信号波形を示している。

### 【0024】

図7(a)に示すように階調信号波形が「1」であれば本願も同様に「1」でよいが(図7(b)参照)、図7(c)に示すように階調信号波形が「20」である場合にはこれを4回に分けて「5」「5」「5」「5」とすれば $5 \times 4 = 20$ で幅(すなわち、階調)としては5bitの場合の「20」と同じになる(図7(d)参照)。同様に、図7(e)に示すように階調信号波形が「21」の場合にはこれを「6」「5」「5」「5」と4回に分ければ「21」となる(図7(f)参照)。また、階調信号波形が「31(full)」のときは図7(g)に示すように「7」「7」「7」「7」とすれば $7 \times 4$ で「28」となる。従って、従来例では32階調を表現するのに5bit必要であったが、本願では波形を分割することによって $3\text{ bit} \times 4$ で28階調を表現することができる。なお、5bitのときは0～31までの階調表現ができるが、3bitのときは0～28までしか表現できないので、データが28、29、30、31のときは全てfull(図7(g))とするようにしている。

### 【0025】

⑤走査電極を2本ずつ駆動する。

図8に示すように走査線が480本あるとすると1フィールドには240本となる。CRTの場合は飛び越し走査を行って最初に奇数ライン1、3、5、7…の表示をして次のフィールドに偶数ライン2、4、6…の表示をしているが、液晶の場合はデューティが高いと動作マージン(電圧駆動比)が下がってしまうので走査線の飛び越しは避けたい。そこで本来であれば1、3、5、7と表示するフィールドのときに図8a.に示すようにライン1のときにライン2、ライン3のときにライン4、ライン5のときにライン6も同時に表示し、次のフィールドのときには組み合わせを変えて同図b.に示すようにライン2のときにライン3、

ライン4のときにはライン5としている。これは信号側とは無関係に液晶駆動側によって動作され、例えば前記図3に示すように本来走査されないライン2 (X2) のところをライン1 (X1) と一緒にオンし、次のフレームではライン3 (X3) とライン4 (X4) を一緒にオンするようにする。

#### 【0026】

⑥フレーム周波数を上げた液晶駆動において各フレーム期間中にゼロバイアス期間を設ける。

前述したように、テレビジョン信号には垂直帰線期間があり、その間は表示データがないから、表示データの無い垂直帰線期間中は走査電極と信号電極を同一電位に保つゼロバイアスを行うことによってマージンの低下を防いでいる。

上記①で述べたように液晶表示のコントラストを向上させるため、フレーム周波数を高くし、同一画面を複数回 (4回) 走査することによって240Hzで液晶を駆動しているが、その際、上記垂直帰線期間を考慮すると、240Hzであれば、液晶パネルを4回走査した後、垂直帰線期間分のゼロバイアス期間を設けることになる。

#### 【0027】

しかしこのような240Hz駆動により表示を行ってみると1回の走査時間が短いので従来の60Hz駆動に比べてゼロバイアス期間の割合がかなり長くなり、また、そのゼロバイアス期間が1ヶ所にまとまっていると表示に悪影響を与えることが確かめられた。

#### 【0028】

そこで、本願ではゼロバイアス期間を各フレームに分散することによりゼロバイアス期間の1ヶ所への集中を回避して上記表示の悪影響を防止するようにしている。この場合、ゼロバイアス期間は各フレームに分散されるだけであってゼロバイアス期間自体は同じ長さの期間が設けられているのでマージンが低下してしまうことはない。

#### 【0029】

また、フレーム周波数を上げて駆動するためにはフレームメモリ (本実施例では、RAM-A, RAM-B, RAM-C, RAM-D) が必要であるから、こ

これらのメモリを使用すれば垂直帰線期間が映像信号の1ヶ所にまとまっても所定の表示期間中にゼロバイアス期間を分散することが可能になる。

### 【0030】

ここで、上記フレームメモリから読み出したデータによって表示を行うのであれば、理論的には垂直帰線期間なしで表示することも可能である。すなわち、1フィールドを均等に4分割して240Hz駆動を行えばよい。ところが、実際の設計上それは不可能に近い。なぜなら、1フィールドは262.5Hであり、これを4等分すると1フレームは65.625Hという半端な数値になる。このような半端なタイミングを作ることは実際には得策でなく、従って、本実施例では1Hの整数倍でできるタイミングで駆動し余りをゼロバイアス駆動することになっている。

### 【0031】

本実施例では図8に示したように走査線が480本であり、また上下分割液晶パネル20を用いて上下液晶パネル20A、20Bとも2本ずつ走査線電極を同時に選択しているので実質120本となり、そして1本あたりの選択期間が1/2Hであるから、表示期間は、

$$120 \times (1/2) \times 4 = 240H$$

となる。また、余りは、

$$262.5 - 240 = 22.5$$

となる。従って、1フレームあたり

$$22.5 \div 4 = 5.625$$

となり、各フレームに5.625Hのゼロバイアス期間を設けることになる。

### 【0032】

図9～図18は上記基本的な考え方に基づく画像表示装置の一実施例を示す図である。

先ず、構成を説明する。図9は画像表示装置2のブロック構成図であり、R（赤）、G（緑）、B（青）の3系統同一回路で構成され、ここでは3系統あるうちのある1つの系統（例えば、R）についての回路（すなわち、タイミング制御回路11、A/D変換器12、R表示制御部13及びR液晶表示装置16）が代

表して示されている。

この図において、画像表示装置2は、各種タイミング信号を発生しこれを基にコントロール信号を生成するタイミング制御回路11、タイミング制御回路11からのコントロール信号により表示制御を行う表示制御回路51、52、表示制御回路51の出力により階調表示駆動をする信号側駆動回路51、52、所定のタイミング信号に基づいて液晶パネル20を駆動する走査側駆動回路21、22を備えている。ここで、制御系である上記タイミング制御回路11、表示制御回路51は5bit動作であり、駆動系の信号側駆動回路23、24及び走査側駆動回路21、22は3bit動作である。

#### 【0033】

タイミング制御回路11は、垂直同期信号 $\Phi_v$ をカウントするVカウンタ62、Vカウンタ62の出力を基にタイミングをとりながら各種垂直タイミング用クロックを生成するタイミング発生回路63（動作タイミングは図14参照）、電圧制御発振器（OSC）64、位相比較器65及びHカウンタ66からなり水平同期信号 $\Phi_H$ とOSC64出力を分周した信号の位相を比較しロックするPLL回路67、PLL回路67のHカウンタ66の出力を基にタイミングをとりながら各種水平タイミング用クロックを生成するタイミング発生回路68、タイミング発生回路63、68の出力に基づいて各種コントロール信号を作成する制御回路69により構成されている。上記制御回路69からはD/Dコントロール信号が出力されるとともに、図18に示すようにA/D変換器12には1フィールド毎に“1”と“0”が反転する切換信号 $\Phi_p$ が、走査側駆動回路21、22（後述）には1H毎に“1”と“0”が反転する反転信号 $\Phi_f$ が、電圧選択回路92、93（後述）にはゼロバイアスを設定するゼロバイアス・コントロール信号ECが夫々出力される。

#### 【0034】

A/D変換器12の出力は液晶パネル20の上側液晶パネル20Aを制御する表示制御回路51と下側液晶パネル20Bを制御する表示制御回路52に夫々入力され、制御回路69で作成されたD/Dコントロール信号も上記表示制御回路51、52に夫々供給される。上記表示制御回路51のハード的構成は上記表示

制御回路52と同一であるが、各内部回路の動作タイミングは異なっている。

#### 【0035】

上記表示制御回路51は、タイミング制御回路11からのD/Dコントロール信号をデコードして後述するRAM-A73, RAM-B74, SOM (Serial Out Memory) -A75, SOM-B76の書込動作を可能にするライトイネーブル信号WEA, WEB, 読出しパルスRS (図14参照) を出力するOPデコーダ (operation decoder) 71と、5bitのデジタル信号に変換されたビデオデータ (例えば、R (赤) のデータRD) を1走査線分 (1H分) 蓄えるシフトレジスタ (SIM (Serial In Memory) -A) 72と、シフトレジスタ (SIM-A) 72に蓄えられた1HのデータRDを図14に示すライトイネーブルWEAのタイミングで順次書込むフレームメモリ (RAM-A) 73と、シフトレジスタ (SIM-A) 72に蓄えられた1HのデータRDを図14に示すライトイネーブルWEBのタイミングで順次書込むフレームメモリ (RAM-B) 74と、RAM-A73に書き込まれたビデオデータを読出しパルスRSのタイミングで同一行を一度に読み出して蓄えるパラレルシリアル変換動作を行うシフトレジスタ (SOM-A) 75と、RAM-B74に書き込まれたビデオデータを読出しパルスRSのタイミングで同一行を一度に読み出して蓄えるパラレルシリアル変換動作を行うシフトレジスタ (SOM-B) 76と、図10に示すROMテーブル100を記憶するとともに、SOM-A75及びSOM-B76に蓄えられたデータをROMアドレスとして前回フレームのデータと今回フレームのデータを順次比較しROMテーブル100に基づくデータ変換値を信号側駆動回路55に出力するROM77とにより構成されている。

#### 【0036】

同様に、上記表示制御回路52は、タイミング制御回路11からのD/Dコントロール信号をデコードして後述するRAM-C83, RAM-D84, SOM-C85, SOM-D86の書込動作を可能にするライトイネーブル信号WEC, WED, 読出しパルスRS (図14参照) を出力するOPデコーダ81と5bitのデジタル信号に変換されたビデオデータ (例えば、R (赤) のデータRD) を1走査線分 (1H分) 蓄えるシフトレジスタ (SIM-C) 82と、シフト

レジスタ (SIM-B) 82に蓄えられた1HのデータRDを図14に示すライトイネーブルWECのタイミングで順次書込むフレームメモリ (RAM-C) 83と、シフトレジスタ (SIM-B) 82に蓄えられた1HのデータRDを図14に示すライトイネーブルWEDのタイミングで順次書込むフレームメモリ (RAM-D) 84とRAM-C 83に書き込まれたビデオデータを読み出しパルスRSのタイミングで同一行を一度に読み出して蓄えるパラレルシリアル変換動作を行うシフトレジスタ (SOM-C) 85と、RAM-D 84に書き込まれたビデオデータを読み出しパルスRSのタイミングで同一行を一度に読み出して蓄えるパラレルシリアル変換動作を行うシフトレジスタ (SOM-A) 86と、前記ROMテーブル100を記憶するとともに、SOM-C 85及びSOM-D 86に蓄えられたデータをROMアドレスとして前回フレームのデータと今回フレームのデータを順次比較しROMテーブル100に基づくデータ変換値を信号側駆動回路56に出力するROM 87とにより構成されている。

#### 【0037】

ここで、本実施例では液晶パネル20の画素数が1ラインに736ドットあるものとする。上記シフトレジスタ (SIM-A) 72, (SIM-B) 82は、736段のシフトレジスタとなる。このSIM-A 72, SIM-B 82に蓄えられたデータがフレームメモリのRAM-A 73, RAM-B 74, RAM-C 83, RAM-D 84に入力されることになる。この場合の動作は後述する (図13、図14参照)。

#### 【0038】

表示制御回路51のROM 77の内容によりデータ処理されたデータは信号側駆動回路23に出力され、表示制御回路52のROM 87の内容によりデータ処理されたデータは信号側駆動回路24に出力される。上記信号側駆動回路23, 24は、上記表示制御回路51, 52から出力されたデータに基づいて3bitで階調表現を行う (前記表示制御回路51, 52内部では階調表現するbit数は5bit (32階調) である)。

#### 【0039】

また、走査側駆動回路21は後述する図16に示すタイミングで液晶パネル2



0を駆動する。

#### 【0040】

また、液晶パネル20は、図3に示すように画素数が736画素であり走査線電極数がX1～X240、X241～X480のものがR、G、B用に3枚使用される。この場合の投影表示の画素数は、

$$(\text{表示の画素数}) = 480 \times 736 \times 3$$

となり、データ量としては

$$\text{データ量} = (\text{表示の画素数}) \times 5 \text{ bit}$$

となる。また、デューティは、

$$\begin{aligned} \text{デューティ} &= 1 / 480 \times 2 \quad (\text{上下分割しているため}) \\ &\quad \times 2 \quad (\text{走査線電極を2ライン選択するため}) \\ &= 1 / 120 \end{aligned}$$

となる。

#### 【0041】

図10はROM77、82に記憶されたROMテーブル100の構成を示す図である。

図10においてROMテーブル100は、前記図4及び図5で説明した③階調信号の変換の考え方と、前記図6及び図7で説明した④階調信号の分解の考え方の両方の考え方に従って作成されたテーブルであり以下のような特徴を有する。

#### 【0042】

すなわち、前記③階調信号の変換を行う観点からは、図10に示すようにROMテーブル100の縦方向に前回フレームにおける5bitの階調信号を示す0～31を、また、横方向に今回フレームにおける5bitの階調信号を示す0～31をとり、前回フレーム0～31と今回フレーム0～31とでテーブル化された各テーブル値には3bitを4回に分けてデータ変換値0～7（3bitであるから7が最大値となる）を格納する。このデータ変換値は、前回フレームと今回フレームのフレーム間の動きを基に応答速度ができるだけ高くなるように設定した階調信号データであり、予めシミュレーション等により最適値が算出されて格納される。本実施例では、以下に述べる理由によりこのデータ変換値は3bitのデータと

して格納される。例えば、前回フレームが「2」、今回フレームが「15」（何れも5bit情報）のときはROMテーブル100から3bitの最大値である「7」が読出され、このROMテーブル100から読み出されたデータ変換値「7」を用いることによって応答速度を向上させることができる。

#### 【0043】

一方、前記④階調信号の分解を行う観点からは、図10に示すように1画面を4回に分けることによって3bit表現されたその回の各々に前記データ変換値0～7を設けるようにする。従って、5bitでアクセスされたROMテーブル100からは3bit×4のデータが読出されることになり、後段の駆動系を3bitで動作させることが可能になる。

#### 【0044】

例えば、図10に示すように前回フレームが「2」、今回フレームが「15」のときはテーブル値は「7777」であるから1回目は3bitのデータ変換値「7」が、2回目は「7」が、3回目は「7」が、4回目は「7」が夫々読出される。また、前回フレームが「15」で今回フレームも「15」のときは「4443」であるから1回目は3bitのデータ変換値「4」、2回目は「4」、3回目は「4」、4回目は「3」が夫々読み出される。

#### 【0045】

このように、上記ROMテーブル100を用いることにより階調信号の変換と分解とを同時に実現することができ、階調信号の変換による応答速度の向上と階調信号の分解による駆動系の伝送ビット数の削減という相反する目的を同時に達成することができる。

#### 【0046】

また、図9において、91は液晶駆動電圧発生回路であり、液晶駆動電圧発生回路は、V0～V4の液晶駆動電圧を発生し、V1、V2、V3を信号側の電圧選択回路92、93に供給し、V0、V2、V4を走査側駆動回路21、22に供給する。上記液晶駆動電圧V0～V4は、図18に示すようにV2を中心にし、V0、V1が正側、V3、V4が負側に、それぞれ一定の電圧差を持って設定される。上記電圧選択回路92、93には制御回路69からゼロバイアス・コン

トロール信号ECが入力され、走査側駆動回路21, 22には反転信号 $\Phi f$ が入力される。反転信号 $\Phi f$ は、コモン・シフトクロックに同期して反転し、V0あるいはV4の走査側駆動電圧を選択する信号である。また、ゼロバイアス・コントロール信号ECは、ゼロバイアス期間を各フレームに分散して設定するための信号であり、前記⑥各フレーム期間中にゼロバイアス期間を設ける考え方に基づいて図18に示すように各フレーム毎に分散して出力される。このゼロバイアス・コントロール信号ECは、常時は“0”信号レベルであるが、各フレームの終了前に所定期間だけ“1”信号レベルとなる。

上記走査側駆動回路21, 22は、走査信号を発生させるためのシフトレジスタを備えており、制御回路69から送られてくるD/Dコントロール信号をコモン・シフトクロックに同期してシフトし、このシフトレジスタ内をシフトするデータに応じて液晶パネル20の走査電極を順次駆動する。

#### 【0047】

一方、上記電圧選択回路92, 93は、具体的には図11に示すように構成される。図11は、電圧選択回路92の回路構成（電圧選択回路93も同様の回路構成をとる）を示す図であり、この図において電圧選択回路92には液晶駆動電圧発生回路91から液晶駆動電圧V1, V2, V3が供給されており、液晶駆動電圧V1はゲート回路G1を介して出力ライン201に出力され、液晶駆動電圧V2はゲート回路G2を介して出力ライン201に出力されるとともに、ゲート回路G3を介して出力ライン202に出力される。また、液晶駆動電圧V3は、ゲート回路G4を介して出力ライン202に出力される。そして、制御回路69からインバータ203を介して入力されたゼロバイアス・コントロール信号ECは、レベルシフタ204によりレベルシフトされた後、ゲート回路G1, G4にゲート信号として供給されるとともに、更にインバータ205を介してゲート回路G2, G3にゲート信号として供給される。そして、上記出力ライン201から取出される電圧が液晶駆動電圧V1'として、また、出力ライン202から取出される電圧が液晶駆動電圧V3'として信号側駆動回路23に送られる。この信号側駆動回路23の出力電圧は、表示制御回路51から出力された映像データに応じて選択され、液晶パネル20に信号電極駆動信号として送られる。そして

、垂直帰線期間（VD）を各フレームに分散したゼロバイアスを与えるデューティ・フリーの期間においては、ゼロバイアス・コントロール信号ECがハイレベル、インバータ205の出力がハイレベルとなり、ゲート回路G2，G3がオン、ゲート回路G1，G4がオンし、出力ライン201，202からともにV2の電圧を出力する。この電圧V2は、ゼロバイアスを与える。また、垂直帰線期間を各フレームに分散したゼロバイアス期間以外、つまり、通常動作時には、ゼロバイアス・コントロール信号ECがローレベル、インバータ205の出力がローレベルとなり、ゲート回路G2，G3がオフ、ゲート回路G1，G4がオンし、出力ライン201からはV1、出力ライン202からはV3が出力される。従って、信号側駆動回路23は、表示制御回路51からのデータに応じてV1又はV3の電圧を信号側駆動電圧として出力する。すなわち、上記電圧選択回路92，93においては、ゼロバイアス・コントロール信号EC及び反転信号 $\Phi f$ に応じて図12に示すような電圧出力動作を行う。

#### 【0048】

次に、本実施例の動作を説明する。

#### 全体動作

先ず、タイミング制御回路11では、ビデオ信号から作成された水平同期信号 $\Phi_H$ と、OSC64及びHカウンタ66により分周した信号をPLL回路67により位相、周波数をロックさせる。分周回路を構成するHカウンタ66の出力はタイミング発生回路68に入力され、タイミング発生回路68はH（水平）用の各種タイミング用クロック等を作成する。また、垂直同期信号 $\Phi_v$ はVカウンタ62に入力され、Vカウンタ62でHカウンタ66のカウンタ出力を基にビデオ信号からの $\Phi_v$ と同期をとりながらHの数をカウントし、タイミング発生回路63でV（垂直）内の各種タイミング用クロック等を作成する。

#### 【0049】

一方、R，G，Bのビデオ信号はA/D変換器12により5bitのデジタル信号に変換されて表示制御回路51，52のSIM-A72，SIM-B82に出力される。表示制御回路51，52では、A/Dされたビデオ信号R（赤）のデータRDを1H分SIM-A72に蓄え、SIM-A72に蓄えられたデータ

はA・BフィールドのデータとしてライトイネーブルWEA（図14）のタイミングでRAM-A73に順次書き込まれる。同様に、C・DフィールドのデータはライトイネーブルWEB（図14）のタイミングでRAM-B74に順次書き込まれる。RAM-A73、RAM-B74に書き込まれたビデオデータは読出しパルスRS（図14）により同一行が一度に各々SOM-A75、SOM-B76に読み出され、SOM-A75、SOM-B76のデータをROMのアドレスとして、ROM77により前回フレームのデータと今回フレームのデータを順次比較する。そして、同一画素に表示するデータを比較してROM77に記憶されたROMテーブル100の内容に従ってデータ変換処理されたデータを信号側駆動回路23に送り出す。

ここで、本画像表示装置2はフレーム周波数240Hz／上下分割であるから、1/2H期間内に1ライン分のデータを読出し、信号側駆動回路23を通して液晶パネル54に表示する。

下画面も同様の手順で表示し、G・Bに対してRと同様に表示制御する。

#### 【0050】

#### 表示制御回路51、52における動作

A/D変換されたビデオ信号Rのデータの1H分がSIM-A72、SIM-B82に蓄えられ、この1H分のデータがフレームメモリRAM-A73、RAM-B74、RAM-C83、RAM-D84に書き込まれるが、この場合の動作を図13及び図14を用いて説明する。

#### 【0051】

図13はフィールド $f_1 \sim f_8$ のうちの $f_5$ を例にとった場合のRAM-A～RAM-Dの書き込み動作を説明するための図であり、図14はフィールド $f_5 \sim f_8$ における各部の詳細な動作タイミングを示すタイミングチャートである。

#### 【0052】

図14に示すように、まず、フィールド $f_5$ において上半分のデータ（H1～H120）がライトイネーブルWEAによってRAM-A73に書き込まれ、フィールド $f_5$ の下半分のデータ（H121～H240）がライトイネーブルWECによってRAM-C83に書き込まれる。その後、フィールド $f_6$ になるとまた上

半分のデータがライトイネーブルWEAによってRAM-A73に書込まれ、下半分のデータがライトイネーブルWECによってRAM-C83に書込まれる。そして、フィールド $f_7$ になると上半分のデータがライトイネーブルWEBによってRAM-B74に書込まれ、下半分のデータがライトイネーブルWEDによってRAM-D84に書込まれる。その後、フィールド $f_8$ になるとまた上半分のデータがライトイネーブルWEBによってRAM-B74に書込まれ、下半分のデータがライトイネーブルWECによってRAM-C84に書込まれる。従って、表示制御装置52は、図14に示すSICAによってフィールド $f_5H1$ のデータがSIM-A72に取込まれ、SICBによってフィールド $f_5H121$ のデータがSIM-B82に取込まれる。このように、SIC-A72, SIC-B82には1Hかかって個々にデータが取込まれるが、フレームメモリ（ここでは、RAM-A73, RAM-C83）にはラッチクロックで1ライン毎に書込まれる。同様に、次のフレームでフレームメモリ（RAM-B74, RAM-D84）に1ライン毎にデータが書込まれる。

## 【0053】

しかして、図13に示すようにフィールド $f_2$ のタイミングでは $f_2$ のデータをフレームメモリにライトし（ $f_2W$ ）、 $f_3$ のタイミングでは $f_3$ のデータをフレームメモリにライトする（ $f_3W$ ）。以下、同様に $f_8$ のタイミングでは $f_8$ のデータをライトする（ $f_8W$ ）。

## 【0054】

この場合、フィールド $f_5$ のタイミングに着目して説明すると、 $f_5$ のタイミングになって $f_2$ のデータのリード（ $f_2R$ ）を4回行う。 $f_2R$ の1回についてのフレームメモリとの関係は図13の拡大部に示され、この図に示すようにフィールド $f_5$ の $f_2R$ の1回では、RAM-A73から $f_2$ 上側データ（H1R H2R H3R～H120R）が、RAM-B74から $f_4$ 上側データ（H1R H2R H3R～H120R）が、RAM-C83から $f_2$ 下側データ（H240R H239R～H121R）が、RAM-D84から $f_4$ 下側データ（H240R H239R～H121R）がそれぞれ読み出される（ここで、Hは各水平数を表す）。また、 $f_2R$ の他の回及び他のフィールドにあっても同様にしてフ

レームメモリから前回画面用上半分、今回画面用上半分、前回画面用上半分、今回画面用下半分のデータが読出される。ここで、RAM-C83, RAM-D84から下側データを読み出す際に、H240からH121に向けて逆方向で読み出す理由については後述する。

#### 【0055】

前述したように、シフトレジスタ(SIM-A)72には1H分736ドットのデータが入力され、SIM-A72に蓄えられた736のデータでRAM-A73, RAM-B74がアクセスされる。RAM-A73, RAM-B74から736×5bitのデータが読み出され、これらのデータがSOM-A85, SOM-B86に出力される。SOM-A85, SOM-B86はRAM-A73, RAM-B74から読み出す736×5bitデータを、読出しパルスRS(図14)により同一行が一度に並ぶパラレル-シリアル変換のようにして読み出し、読出した736×5bitのデータでROM77をアクセスする。ここで、5bitが736回アクセスされ、これは1/2Hの間に行われる。すなわち、前記①フレーム周波数を速くするために1画面を4回表示し240Hzとしているので、本来であれば1/4Hでアクセスしなければならないが、本実施例では上側の表示制御回路51と下側の表示制御回路52で分担(2分割)しているから1/2Hで736回アクセスすることになる。また、SOM-B86についても全く同様である。

#### 【0056】

ここで、RAM-A73の内容とRAM-B74の内容とは1フレームずれているので、例えば前述の場合ではフィールド $f_5$ とフィールド $f_7$ の内容を2入力としてROM77をアクセスする。5bitデータでアクセスされたROM77からはデータ変換された3bitのデータが読出されて信号側駆動回路23に出力されているので、液晶パネル54の駆動系は全て3bitで動作させることができる(図15参照)。従って、図13(a)に示すように $f_2$ のデータをフレームメモリに入れて、この $f_2$ のデータを比較するためには次のフレームの同じ位置のデータが必要であるから $f_4$ のデータをフレームメモリに入れてこれら $f_2$ と $f_4$ のデータを $f_5$ のときに比較することになる。このために表示はフレーム遅れになる

。以上を実現するために本実施例の画像表示装置2は、フレームメモリを4ブロック、すなわちRAM-A73, RAM-B74, RAM-C83, RAM-D84を有するように構成している。

#### 【0057】

前記図15で説明したように、液晶パネル20を駆動する液晶駆動系を全て3bitで動作させることができるので回路規模を大幅に減少させることができる。この場合、R, G, B3系統あるそれぞれを3bit動作させることができ、しかも、3bitで動作させながら5bit分の情報量を得ることができる。

#### 【0058】

##### 液晶駆動系における動作

図16は走査側駆動回路21, 22の駆動波形を示す波形図である。本実施例では前記⑤走査電極を2本ずつ駆動する(図8参照)ために、図16に示すように1フィールド( $f_1$ )ではライン2(X2)とライン3(X3)、ライン4(X4)とライン5(X5)、また、次の2フィールド( $f_2$ )、ライン3(X3)とライン4(X4)というように組合せがずれるようにしている。これにより、液晶の駆動マージンを上げるようにしている。

#### 【0059】

また、この実施例では、液晶パネル20を交流駆動するために、走査線電極の1選択期間毎に駆動波形を反転させる手法をとっている。

また、本実施例では、上下分割された液晶パネル20を走査する際に、図17aに示すように上側液晶パネル20Aと下側液晶パネル20Bを両方とも準方向に走査するのではなく、同図bに示すように、下側液晶パネル20Bは逆方向に走査するようにしている。このように駆動することによって上側液晶パネル20Aと下側液晶パネル20Bのつながり目の線を目立たないようにすることができる。このために、表示制御回路52のRAM-C83, RAM-D84からデータを読み出す際に、図13に示すようにH240からH121へ向けて逆向きに読み出しているのである。

#### 【0060】

一方、制御回路69から電圧選択回路92, 93にゼロバイアス・コントロー



ル信号ECが入力されると（すなわち、図18に示すように各フレーム期間毎にゼロバイアス・コントロール信号ECが“1”になると）、それまで液晶駆動電圧V1又はV3を出力していた電圧選択回路92, 93からはV2電圧レベルが出力されることになる。この結果、信号側駆動回路23, 24にV2電圧が供給されることになり、液晶パネル20の信号側電極にはV2電圧が印加されることになる。また、走査線電極側も通常、非選択期間のときにはV2電圧（例えば、0電圧）が供給されるから、上記したようにゼロバイアス・コントロール信号ECを“1”レベルにすると信号側電極と走査側電極の印加電圧はともにV2電圧となりゼロバイアス状態とすることができる。

#### 【0061】

以上説明したように、本実施例の画像表示装置2は、各フィールド期間中にアクティブ状態となるゼロバイアス・コントロール信号ECを作成する制御回路69と、ゼロバイアス・コントロール信号ECが入力されると液晶駆動電圧V1, V3をゼロバイアス電圧V2に選択的に切換えて出力する電圧選択回路92, 93を設け、各フレーム期間中に夫々ゼロバイアス期間を分散して供給するようにしているので、フレーム周波数を高くしてマージンを上げコントラストを向上させるという効果を得ながら、フレーム周波数を高くした場合に1回の走査時間が短くなりゼロバイアス期間の割合が長くなって表示に悪影響を及ぼす不具合を防止することができる。

#### 【0062】

また、本実施例の画像表示装置2の表示制御回路51は、5bitのビデオデータを1走査線分（1H分）蓄えるSIM-A72と、SIM-A72に蓄えられた1HのデータWEAのタイミングで順次書込むRAM-A73と、シフトレジスタ（SIM-A）72に蓄えられた1HのデータWEBのタイミングで順次書込むRAM-B74と、RAM-A73に書き込まれたデータを読み出しパルスRSのタイミングで同一行を一度に読み出して蓄えるSOM-A75と、RAM-B74に書き込まれたデータを読み出しパルスRSのタイミングで同一行を一度に読み出して蓄えるSOM-B76と、ROMテーブル100を記憶するとともに、SOM-A75及びSOM-B76に蓄えられたデータをROMアドレスとし

て前回フレームのデータと今回フレームのデータを順次比較しROMテーブル100に基づくデータ変換値を信号側駆動回路55に出力するROM77とを設け、RAM-A73、RAM-B74、RAM-C83及びRAM-D84は書込まれた表示データを4回読み出すとともに、RAM-C83及びRAM-D84は書込み時とは異なった順序で記憶された表示データを読み出すようにしているので、フレーム周波数を高めることができ、コントラストを向上させることができる。また、上下分割された液晶パネル20のつながり目の線を目立たなくすることができ、画質の向上を図ることができる。

## 【0063】

なお、本実施例では、A/D変換器12の基準電圧を1フィールド毎に分割抵抗1個（1レンジ）分シフトするようにしているが、これに限らず、例えば、分割抵抗3個（3レンジ）分シフトするようにしてもよい。このようにすることによって画質が改善される場合もある。

## 【0064】

また、本実施例では、ゼロバイアス期間を各フレームに分散するようにしているが、同一画面を複数回表示する表示期間であればどのような期間に分散するものであってもよく、必ずしも全ての期間に非表示期間を設けないものも含むことは勿論である。

## 【0065】

また、本実施例では、ゼロバイアス期間を各フレームに4等分しているが、ゼロバイアス期間を分散するものであれば必ずしも均一に設けなくてもよく、例えば各フレームに4等分しているゼロバイアス期間「5.265」Hを、各フレームに「5」「5」「5」「7.5」Hとしてもよく、また、「5.5」「5.5」「5.5」「6」Hとしてもよい。

## 【0066】

また、本実施例では、非表示期間をゼロバイアス期間としているが、これに限らず、複数回の表示期間中に走査電極と信号電極を同一電位に保つ期間を設けるものであってもよい。

## 【0067】

また、本実施例では画像表示装置を例えばSTNを用いた液晶プロジェクタに適用した例であるが、勿論これには限定されず、メモリを使用するものであれば全ての装置に適用可能であることは言うまでもない。

【0068】

また、本実施例では階調信号を4回に分けているが、要は階調信号を分解するものであればどのようなものでもよいことは言うまでもない。

【0069】

さらに、画像表示装置の制御ビット数やROMテーブルのビット数は前述した実施例に限られるものではなく任意のものが使用可能である。

【0070】

さらにまた、上記画像表示装置や液晶パネル等を構成する回路や画素数、種類などは前述した実施例に限られないことは言うまでもない。

【0071】

【発明の効果】

請求項1の発明によれば、

複数回の表示期間中に夫々非表示期間を設けるようにしているので、フレーム周波数を上げた液晶駆動においてマージンを高めながら表示状態の良い画像を表示することができる。

【0072】

請求項2の発明によれば、

複数回の表示期間中に夫々走査電極と信号電極を同意値電位に保つ期間を設けるようにしているので、ゼロバイアス期間を設けない場合であっても請求項1の発明と同様の効果を得ることができる。

【図面の簡単な説明】

【図1】

液晶プロジェクタの全体構成図である。

【図2】

画像表示装置のA/D変換器のブロック構成図である。

【図3】

画像表示装置の液晶表示装置のブロック構成図である。

【図4】

画像表示装置の階調信号の変換を説明するための波形図である。

【図5】

画像表示装置の階調信号の応答速度を説明するための波形図である。

【図6】

画像表示装置の階調信号の分解を説明するための図である。

【図7】

画像表示装置の階調信号の分解を説明するための波形図である。

【図8】

画像表示装置の走査電極を2本ずつ駆動することを説明するための図である。

【図9】

画像表示装置のブロック構成図である。

【図10】

画像表示装置のROMテーブルの構造を示す図である。

【図11】

画像表示装置の電圧選択回路の回路構成図である。

【図12】

画像表示装置のゼロバイアス・コントロール信号に応じた電圧出力動作を示す図である。

【図13】

画像表示装置の動作を説明するための波形図である。

【図14】

画像表示装置の動作を説明するための波形図である。

【図15】

画像表示装置の駆動系の伝送ビット数が削減されることを示す図である。

【図16】

画像表示装置の液晶駆動回路の動作を説明するための波形図である。

【図17】

画像表示装置の走査電極の駆動方法を説明するための図である。

【図18】

画像表示装置の液晶駆動系における動作を説明するための波形図である。

【符号の説明】

- 1 液晶プロジェクタ
- 2 画像表示装置
  - 11 タイミング制御回路
  - 12 A/D変換器
  - 13, 14, 15 表示制御部
  - 16, 17, 18 液晶表示装置
  - 20 液晶パネル
    - 20A 上側の液晶パネル
    - 20B 下側の液晶パネル
  - 21, 22 走査側駆動回路
  - 23, 24 信号側駆動回路
  - 51, 52 表示制御回路
  - 69 制御回路
  - 71 OPデコーダ
  - 72, 82 シフトレジスタ (SIM-A, SIM-B)
  - 73, 74, 83, 84 フレームメモリ (RAM-A, RAM-B, RAM-C, RAM-D)
  - 75, 76, 85, 86 シフトレジスタ (SOM-A, SOM-B, SOM-C, SOM-D)
  - 77, 78 ROM
  - 91 液晶駆動電圧発生回路
  - 92, 93 電圧選択回路
  - 100 ROMテーブル
  - 101 基準電圧発生回路
  - 102 エンコーダ

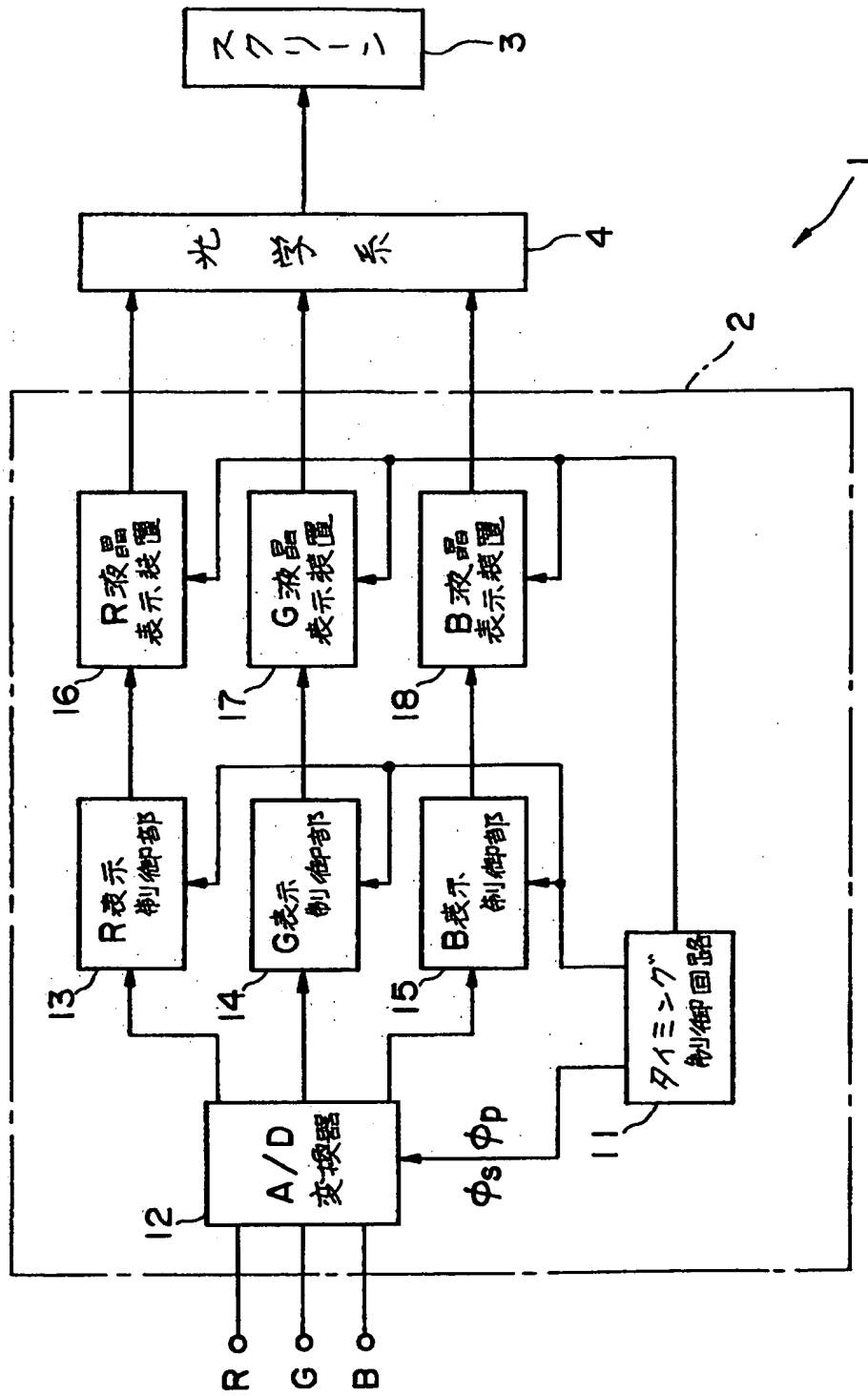
V0~V4 液晶駆動電圧

EC ゼロバイアス・コントロール信号

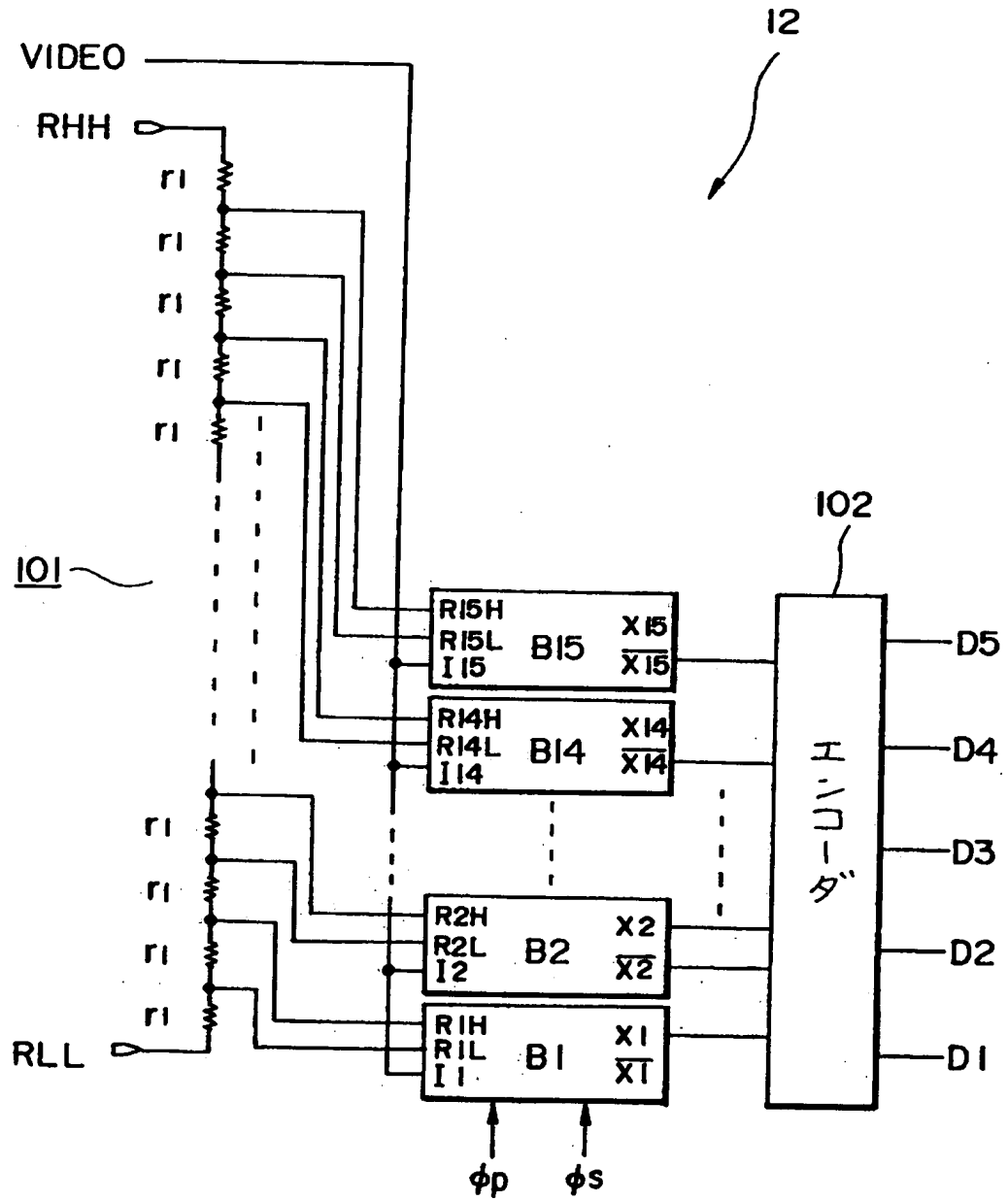
【書類名】

図面

【図1】

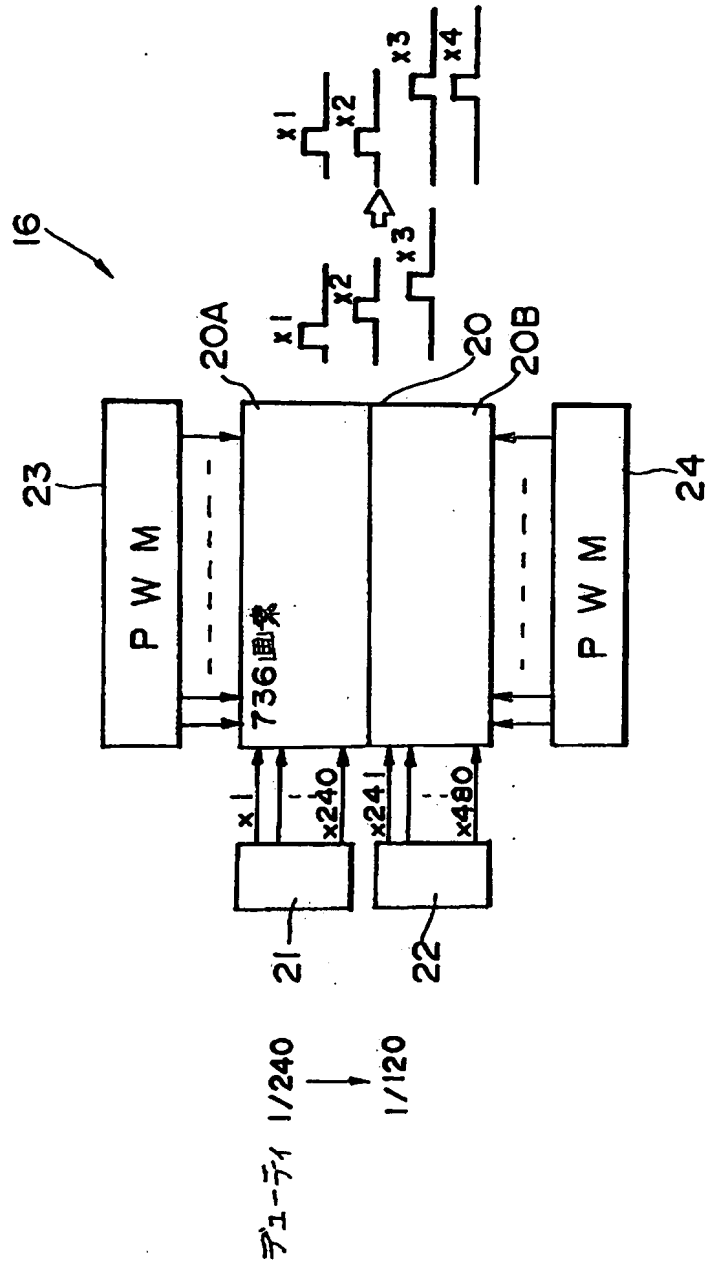


【図2】

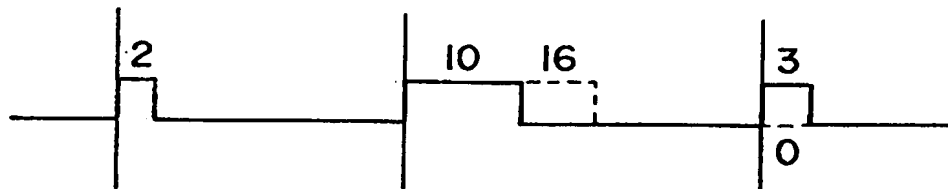




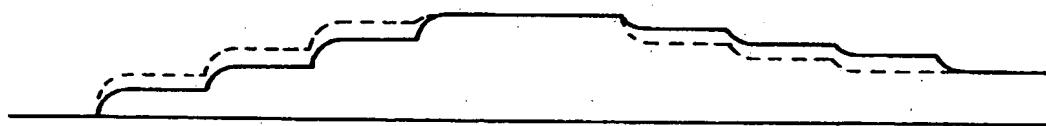
【図 3】



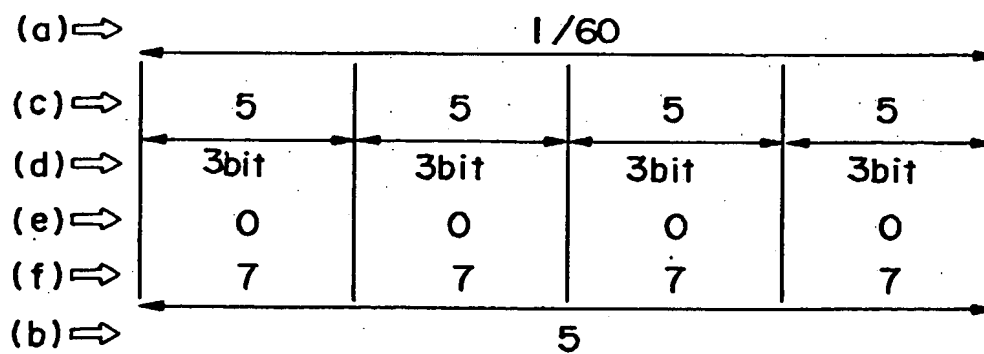
【图4】



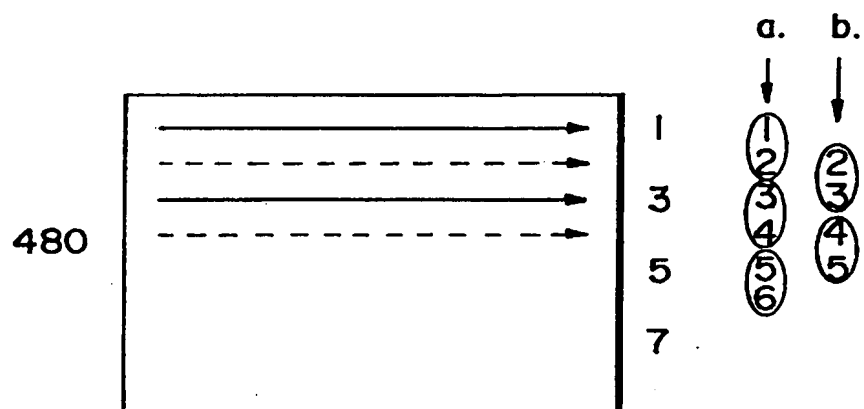
【图5】



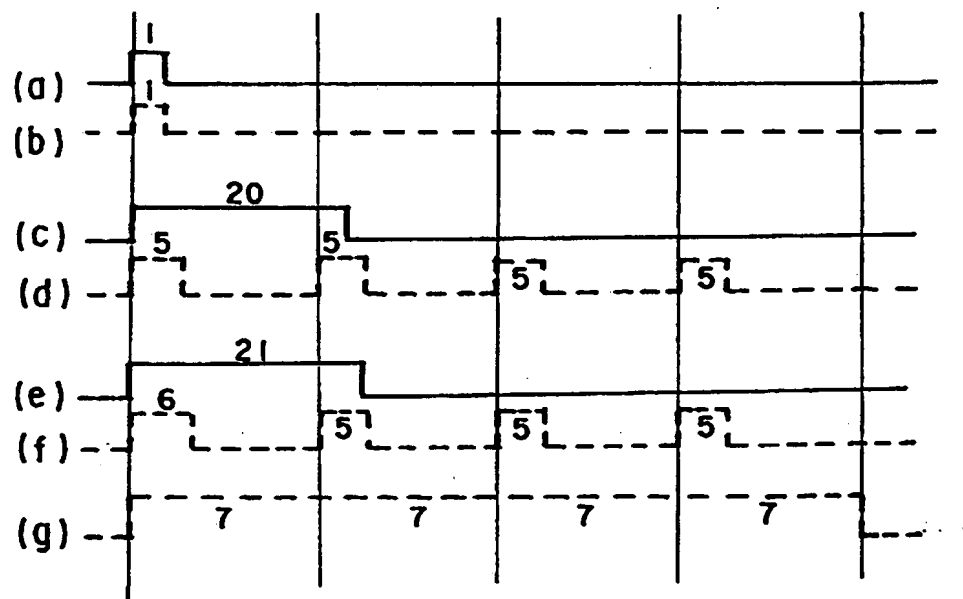
【图6】



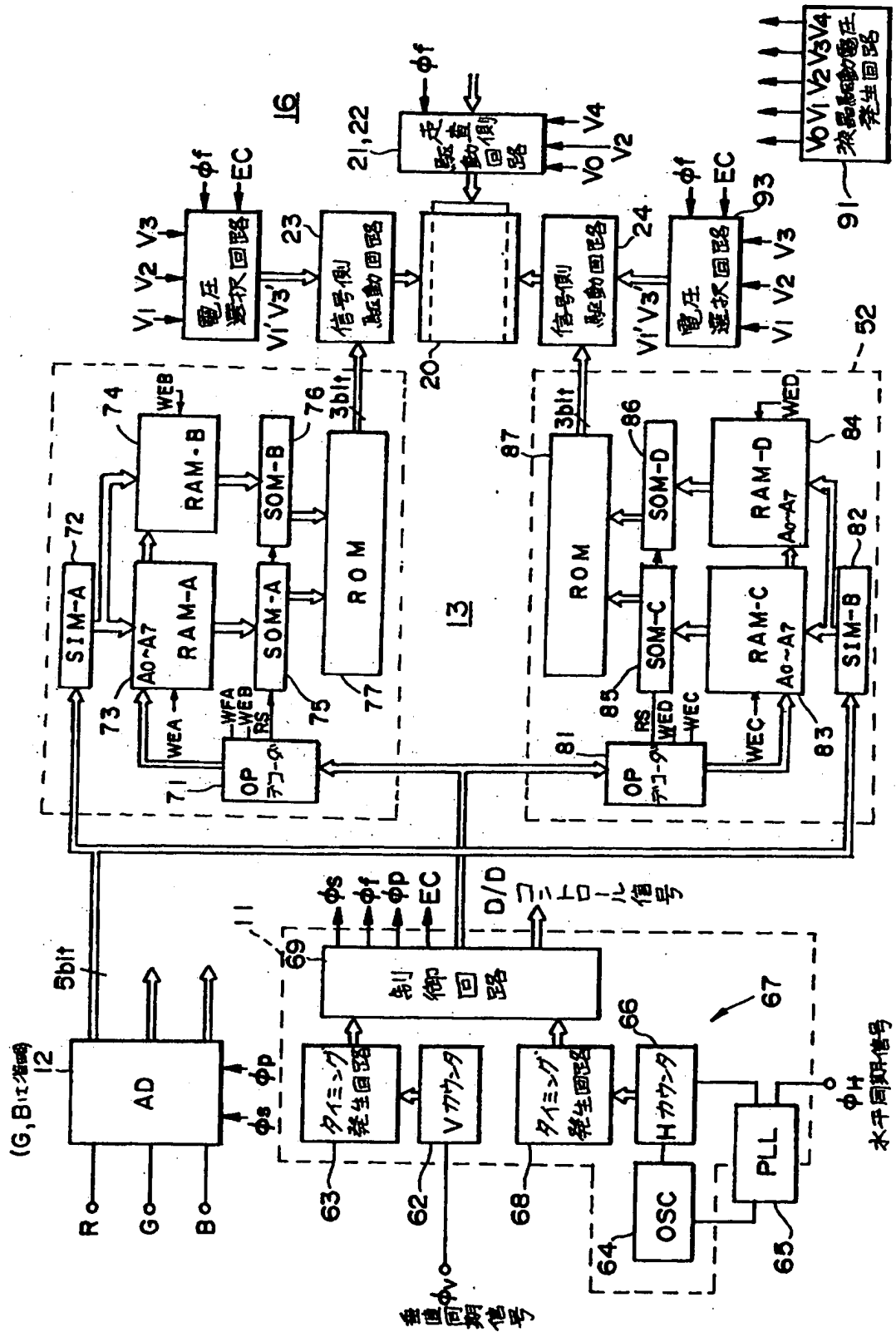
【图 8】



【图 7】



【図9】

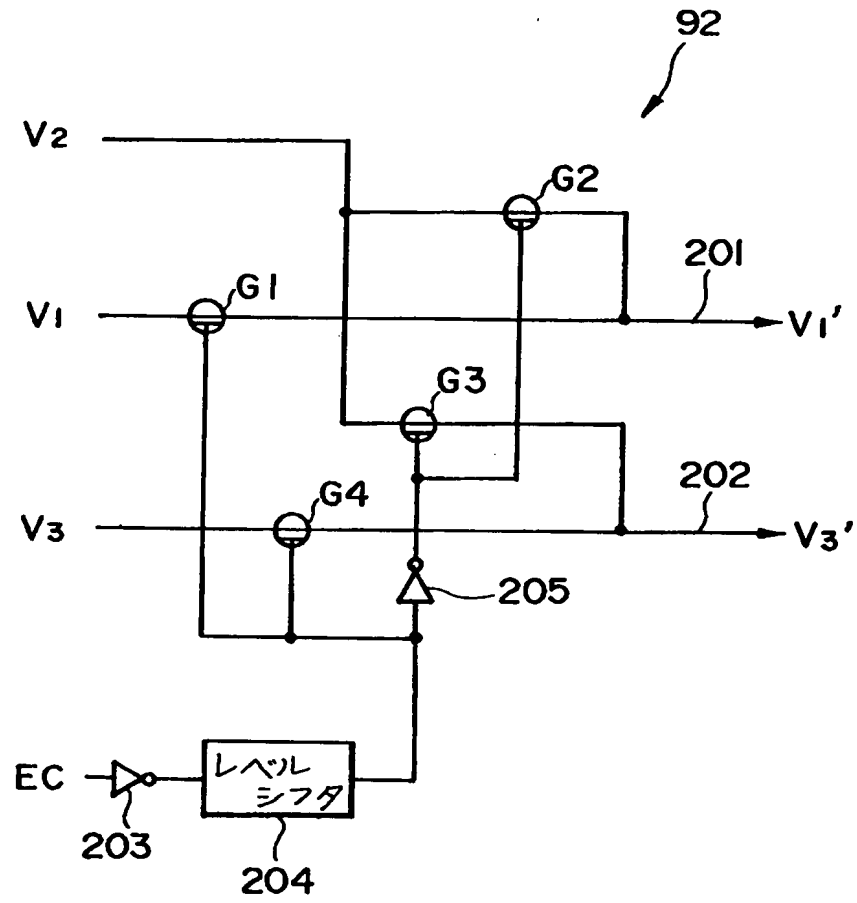


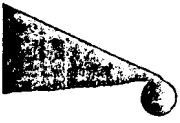
【図10】

## ROMテーブル100

前回 今回	0	1	2	3	----	15	-----	31
0	0000	2000	3010	4110		7777		7777
1	0000	1000	2010	3110		7777		7777
2	0000	0000	1010	2110		7777		7777
3	0000	0000	0010	1110		7777		7777
----								
15	0000	0000	0000	0000		4443		7777
----								
31	0003	0000	0000	0000		0000		7777

【図11】





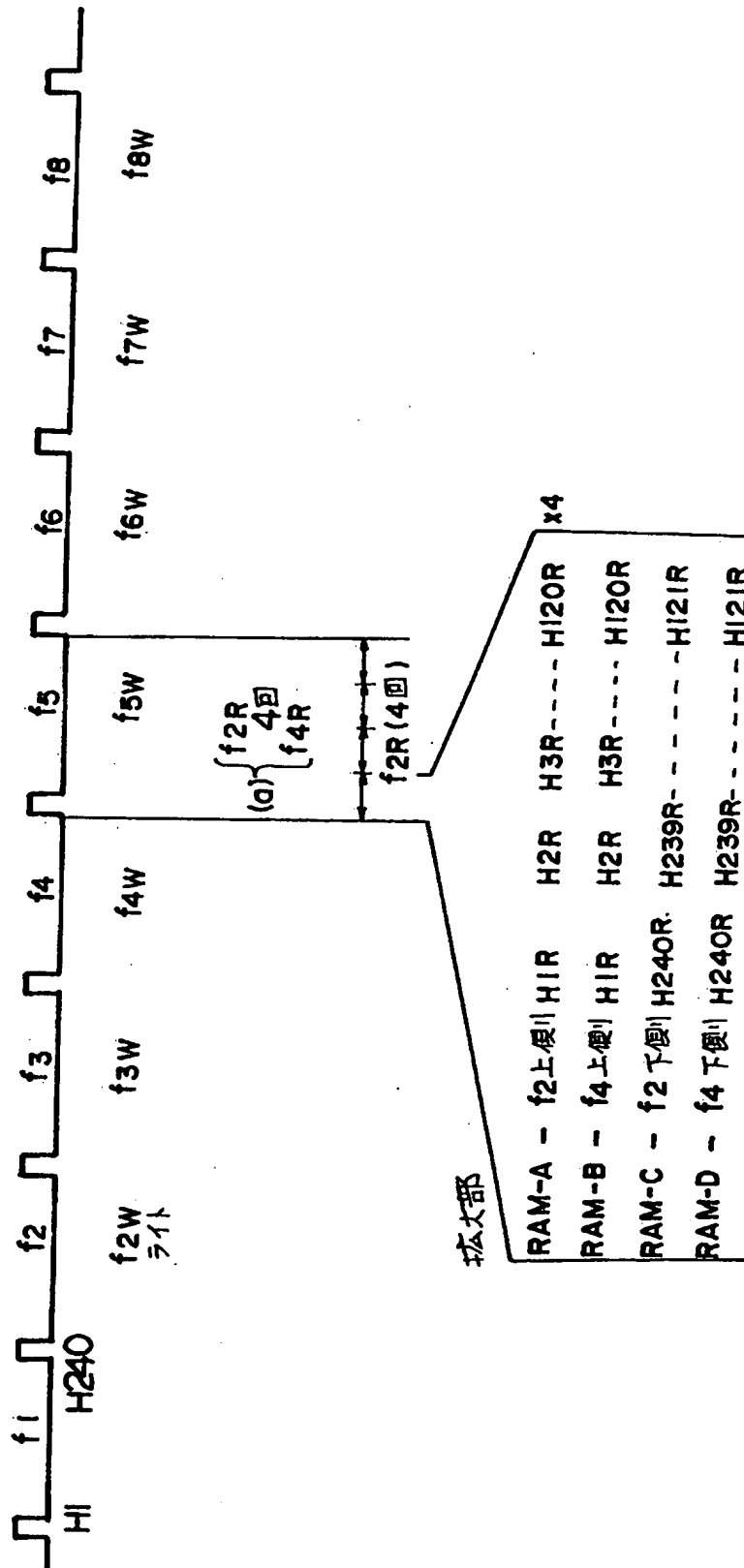
【図12】

$\phi f$	走査側駆動信号 $X_n$			信号側駆動信号 $Y_n$		
	選択状態	非選択状態	ゼロバイアス EC"H"	選択状態	非選択状態	ゼロバイアス EC"H"
正	$V_0$	$V_2$	$V_2$	$V_3$	$V_1$	$V_2$
反転	$V_4$	$V_2$	$V_2$	$V_1$	$V_3$	$V_2$


03-276597

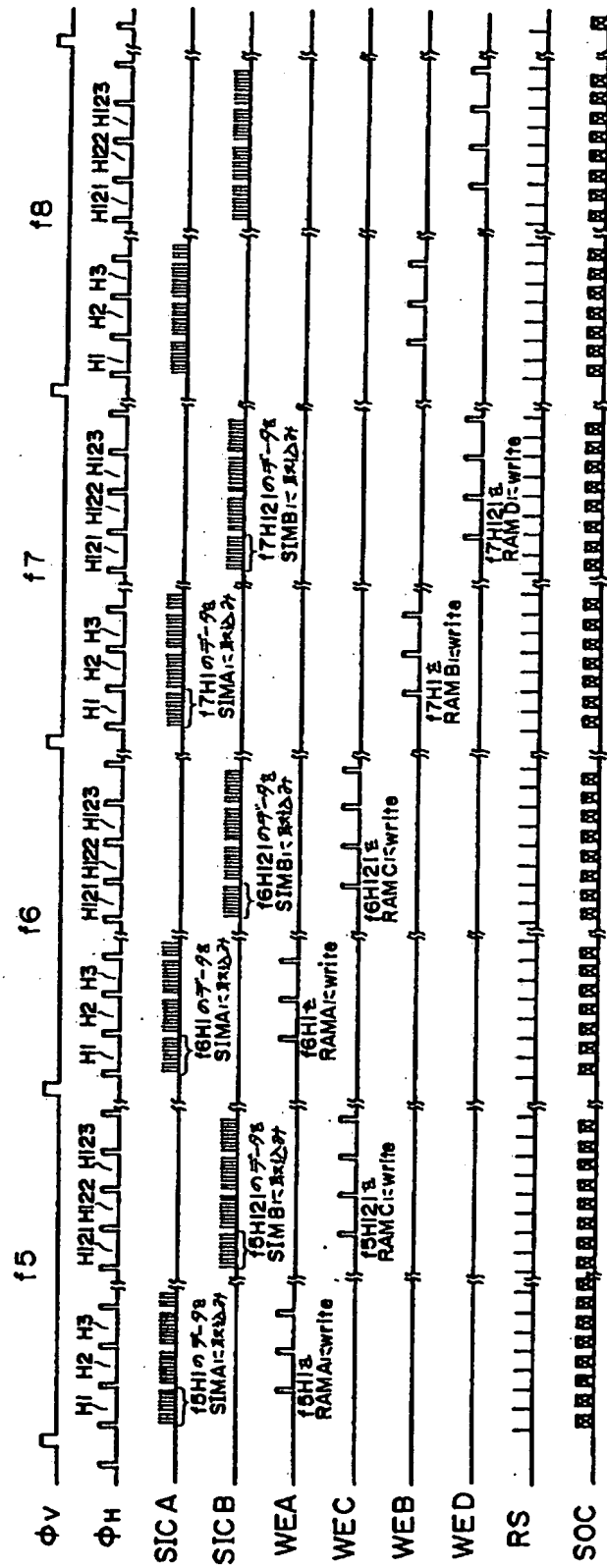
【図13】



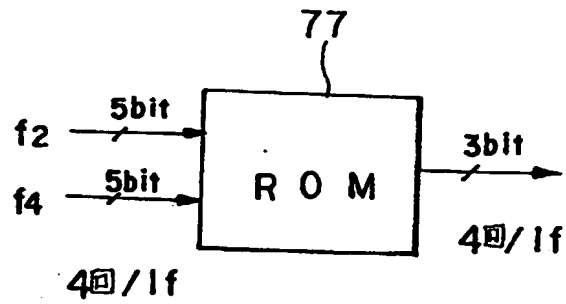


03-276597

【 14】

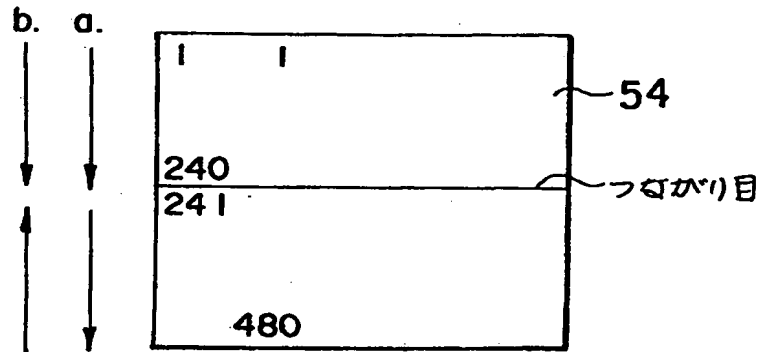


【図15】

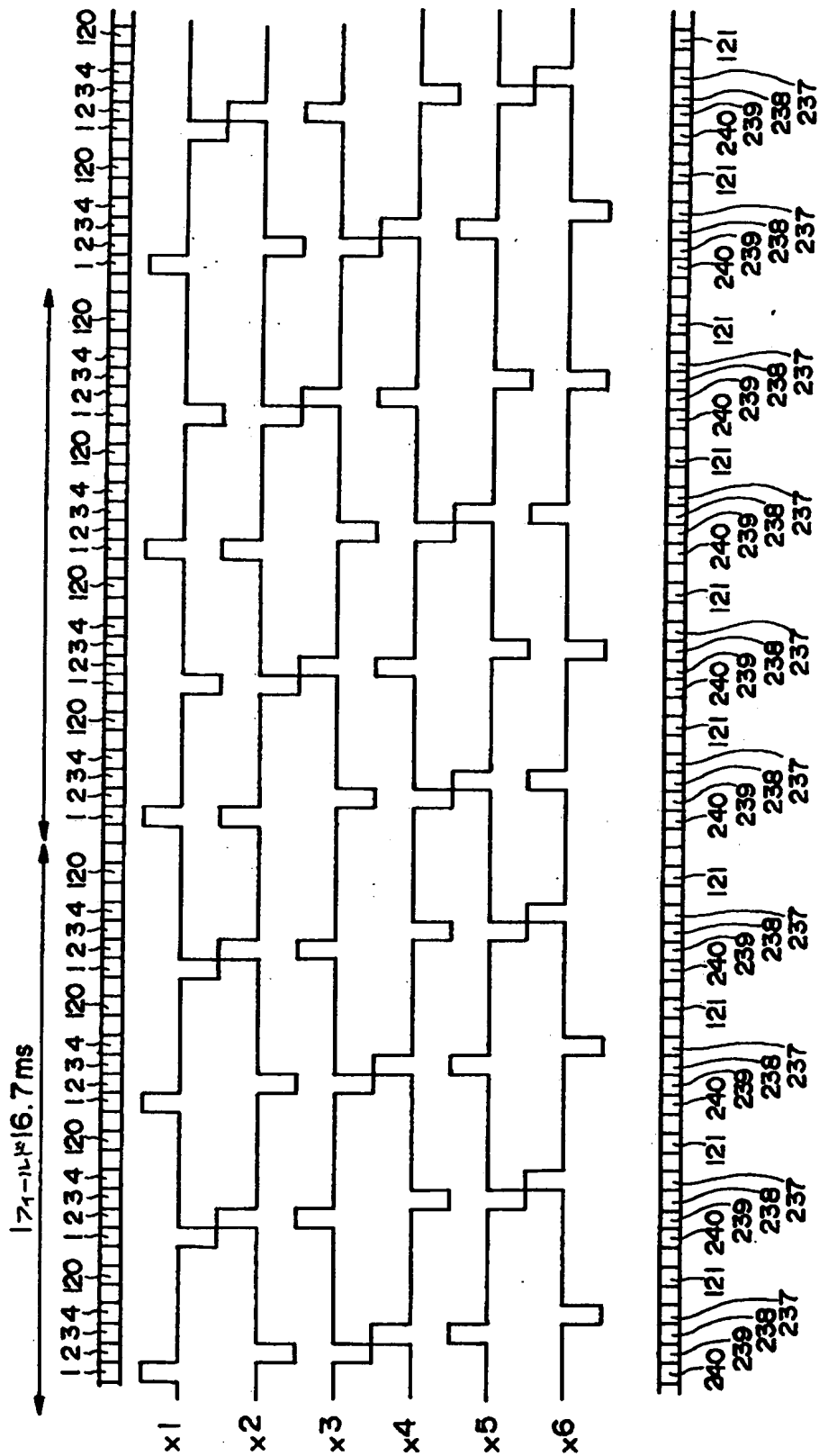


fはフィールドを示し、fの内容の一例は  
図13拡大部に示される。

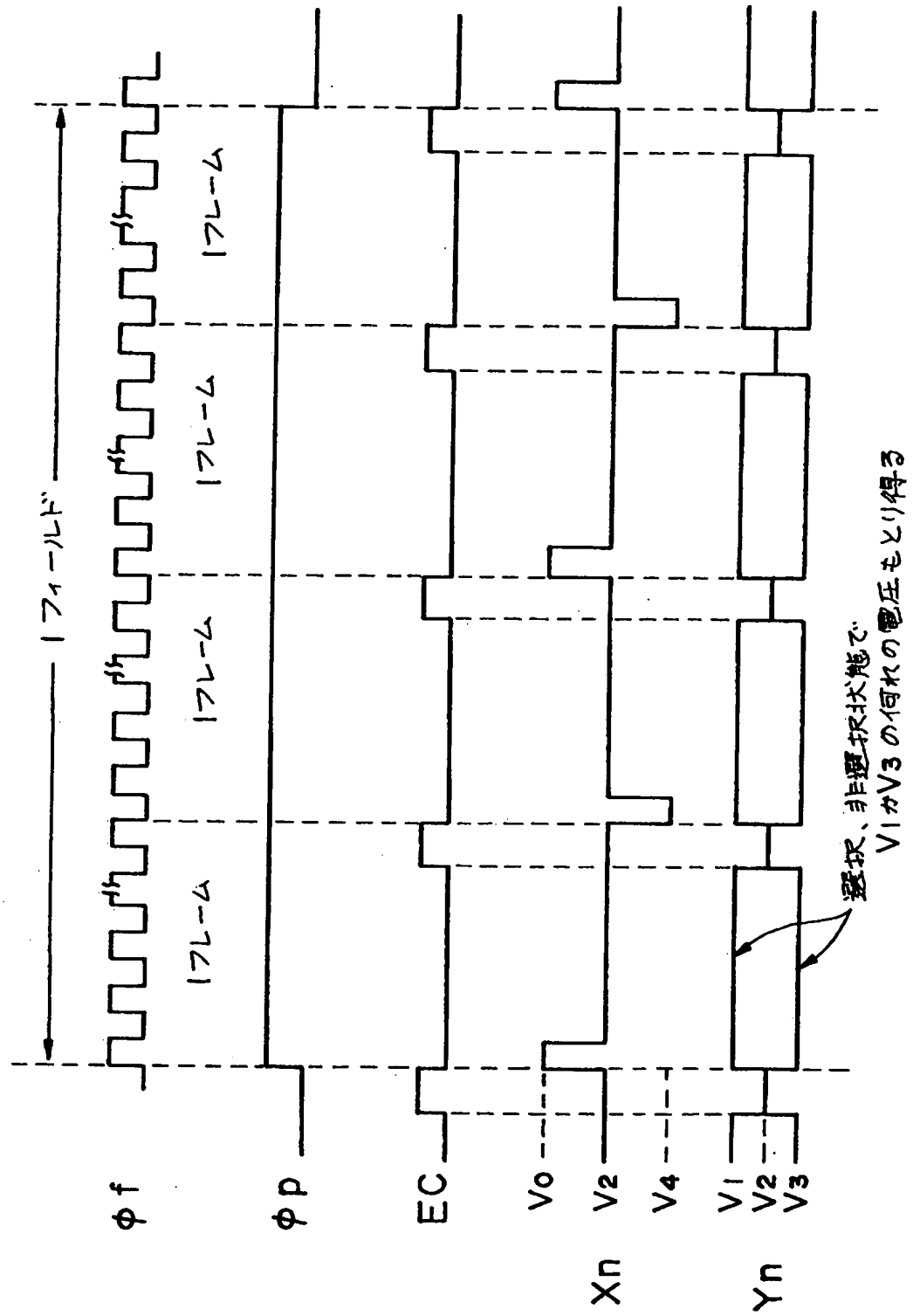
【図17】



【図 16】



【図18】



【書類名】 要約書

【要約】

【目的】 フレーム周波数を上げた液晶駆動においてマージンを高めながら表示状態の良い画像を表示する。

【構成】 画像表示装置2は、各フィールド期間中にアクティブ状態となるゼロバイアス・コントロール信号ECを作成する制御回路69と、ゼロバイアス・コントロール信号ECが入力されると液晶駆動電圧V1、V3をゼロバイアス電圧V2に選択的に切換えて出力する電圧選択回路92、93を設け、各フレーム期間中に夫々ゼロバイアス期間を分散して供給するようにする。

【選択図】 図9

出 願 人 履 歴 情 報

識別番号                      [000001443]

1. 変更年月日            1990年   8月10日  
    [変更理由]            新規登録  
        住 所            東京都新宿区西新宿2丁目6番1号  
        氏 名            カシオ計算機株式会社